

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-290214

(43)Date of publication of application : 04.10.2002

(51)Int.Cl.

H03K 5/05
G11C 11/407
H03K 3/017
H03L 7/081

(21)Application number : 2001-395449 (71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 26.12.2001 (72)Inventor : CHO SEIYOKU

(30)Priority

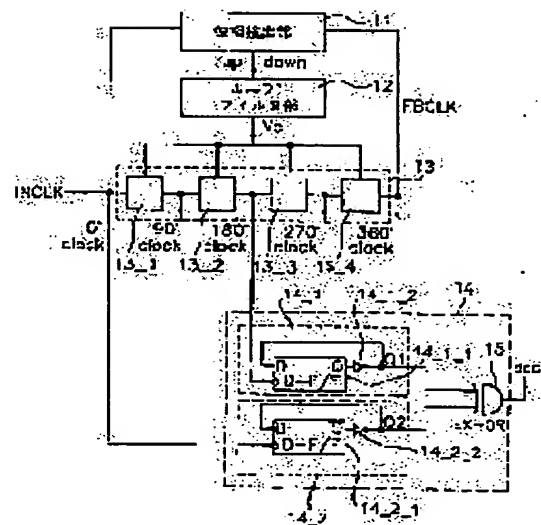
Priority number : 2000 200085580 Priority date : 29.12.2000 Priority country : KR

(54) DUTY CYCLE CORRECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a duty cycle correction circuit that is capable of exchanging data on both edges of rise and fall of the clock by correcting duty error of the input clock signal by using a multi phase signal generator.

SOLUTION: The duty cycle correction circuit comprises a phase detection unit 11 for receiving an input clock signal and a reference clock signal to generate a phase difference detection signal comparing the phase difference, a loop filter unit 12 for converting the phase difference detection signal into a voltage signal and outputting the result, a multi-phase signal generation unit 13 for generating a clock signal having a plurality of phase differences by controlling the delay time of the input clock signal and then, selecting and outputting one clock signal by comparison with the voltage signal, and a duty correction unit 14 for receiving the input clock signal and the clock signal outputted from the multi phase signal generation unit and logically combining them, to correct the duty of the input clock signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

than the examiner's decision of rejection
or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-290214
(P2002-290214A)

(43) 公開日 平成14年10月4日 (2002. 10. 4)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 K 5/05		H 0 3 K 5/05	5 J 0 0 1
G 1 1 C 11/407		3/017	5 J 0 4 3
H 0 3 K 3/017		G 1 1 C 11/34	3 5 4 C 5 J 1 0 6
H 0 3 L 7/081		H 0 3 L 7/08	J 5 M 0 2 4

審査請求 未請求 請求項の数10 O L (全 6 頁)

(21) 出願番号 特願2001-395449 (P2001-395449)

(22) 出願日 平成13年12月26日 (2001. 12. 26)

(31) 優先権主張番号 2 0 0 0 - 0 8 5 5 8 0

(32) 優先日 平成12年12月29日 (2000. 12. 29)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター⁴
大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72) 発明者 趙 成 翊

大韓民国 全羅北道 全州市 完山區 西
新洞 762-2 ソンウォンアパート 107
- 1703

(74) 代理人 110000051

特許業務法人共生国際特許事務所

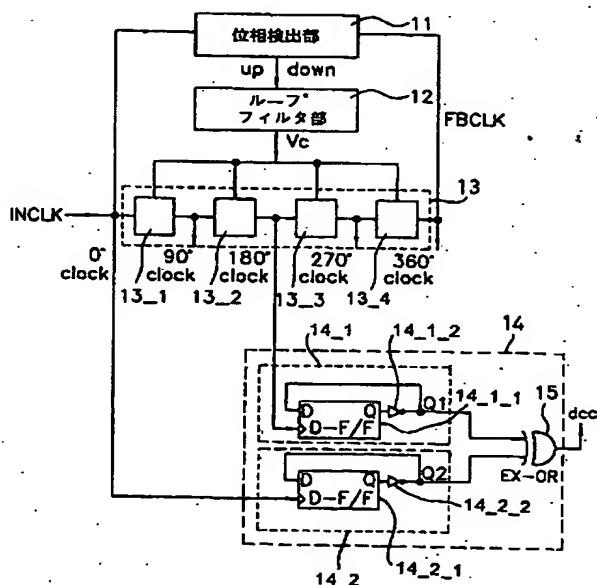
最終頁に続く

(54) 【発明の名称】 デューティーサイクル補正回路

(57) 【要約】

【課題】 入力クロック信号のデューティーエラーをマルチ位相信号発生器を利用して補正させることにより、クロックのライジング及びフォールディングの両エッジでデータを取り交わすことができるデューティーサイクル補正回路を提供する。

【解決手段】 入力クロック信号と基準クロック信号とを受信し、その位相差を比した位相差検出信号を発生する位相検出部 1 1 と、前記位相差検出信号を電圧信号に変換させて出力するループフィルタ部 1 2 と、前記入力クロック信号の遅延量を調節して多数個の位相差を有するクロック信号を発生し、前記電圧信号により 1 つのクロック信号を選択して出力するマルチ位相信号発生部 1 3 と、前記入力クロック信号と前記マルチ位相信号発生部から出力されたクロック信号とを受信して論理和することにより、前記入力クロック信号のデューティーを補正するデューティー補正部 1 4 とを備えている。



【特許請求の範囲】

【請求項1】 入力クロック信号と基準クロック信号とを受信し、その位相差を比べた位相差検出信号を発生する位相検出部と、

前記位相差検出信号を電圧信号に変換させて出力するループフィルタ部と、

前記入力クロック信号の遅延量を調節して多数個の位相差を有するクロック信号を発生し、前記電圧信号により1つのクロック信号を選択して出力するマルチ位相信号発生部と、

前記入力クロック信号と前記マルチ位相信号発生部から出力されたクロック信号とを受信して論理和することにより、前記入力クロック信号のデューティ（duty）を補正するデューティ補正部とを備えていることを特徴とするデューティサイクル補正回路。

【請求項2】 前記基準クロック信号は、前記入力クロック信号と360°の位相差を有することを特徴とする請求項1に記載のデューティサイクル補正回路。

【請求項3】 前記マルチ位相信号発生部は、前記入力クロック信号と前記基準クロック信号との位相が一致すれば、それぞれ90°の位相差を有する4つのクロック信号を発生することを特徴とする請求項2に記載のデューティサイクル補正回路。

【請求項4】 前記基準クロック信号は、前記入力クロック信号と720°の位相差を有することを特徴とする請求項1に記載のデューティサイクル補正回路。

【請求項5】 前記マルチ位相信号発生部は、前記入力クロック信号と前記基準クロック信号の位相が一致すれば、それぞれ90°の位相差を有する8つのクロック信号を発生することを特徴とする請求項4に記載のデューティサイクル補正回路。

【請求項6】 前記マルチ位相信号発生部は、前記電圧信号により前記入力クロック信号から90°の位相差を有する第1のクロック信号を発生する第1の位相信号発生部と、

前記電圧信号により前記第1のクロック信号の遅延を調節し、前記入力クロック信号と180°の位相差を有する第2のクロック信号を発生する第2の位相信号発生部と、

前記電圧信号により前記第2のクロック信号の遅延を調節し、前記入力クロック信号と270°の位相差を有する第3のクロック信号を発生する第3の位相信号発生部と、

前記電圧信号により前記第3のクロック信号の遅延を調節し、前記入力クロック信号と360°の位相を有するクロック信号を発生する第4の位相信号発生部とを備えていることを特徴とする請求項1に記載のデューティサイクル補正回路。

【請求項7】 前記デューティ補正部は、前記マルチ位相信号発生部からのクロック信号を自らの

クロック入力信号として受信し、自らの出力信号を入力信号として受信して、前記クロック信号の2分周された信号を発生する第1の分周部と、

前記入力クロック信号をクロック入力信号として受信し、自らの出力信号を入力信号として受信して、前記入力クロック信号の2分周された信号を発生する第2の分周部と、

前記第1の分周部と前記第2の分周部とでそれぞれ2分周された2つの信号を受信し、排他的論理和演算された信号を発生する論理演算部とを備えていることを特徴とする請求項1に記載のデューティサイクル補正回路。

【請求項8】 前記第1の分周部は、第1のD-フリップフロップと、

前記第1のD-フリップフロップの出力信号を受信して反転された信号を出力する第1のインバータとで構成されていることを特徴とする請求項7に記載のデューティサイクル補正回路。

【請求項9】 前記第2の分周部は、第2のD-フリップフロップと、

前記第2のD-フリップフロップの出力信号を受信して反転された信号を出力する第2のインバータとで構成されていることを特徴とする請求項7に記載のデューティサイクル補正回路。

【請求項10】 前記論理演算部は、排他的ORゲートで構成されていることを特徴とする請求項7に記載のデューティサイクル補正回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリ装置のデューティサイクル補正回路に関し、特に、クロックの立ち上がり及び立ち下りの両エッジでデータを取り交わすことができるように、クロック入力信号のデューティを補正するデューティサイクル補正回路に関する。

【0002】

【従来の技術】一般に、クロック信号（clock）は半導体集積回路や各種の電子回路等で信号を処理するとき基本信号に用いられる。半導体メモリ装置に用いられるクロック信号は、半導体メモリ装置の外部から入力される外部クロック信号と半導体メモリ装置の内部で用いられる内部クロック信号がある。このとき、外部クロック信号と内部クロック信号の差をデューティ率（duty rate）又はデューティ（duty）という。従来の半導体メモリ装置であるDRAMは、クロック信号の立ち上がりエッジ（rising edge）でデータを入力又は出力していた。しかし、データの伝送率を高めるためには、クロック信号の立ち上がり及び立ち下りの両エッジでデータを取り交わさなければならない。

【0003】しかし、従来の半導体メモリ装置は、外部

から入力される外部クロック信号がデューティーエラー（40：60又は60：40）を有して入力されるので、クロック信号の立ち上がり及び立ち下りの両エッジでデータを取り交わすことができないという問題点があった。

【0004】

【発明が解決しようとする課題】そこで、本発明は上記従来技術での問題点に鑑みてなされたものであって、本発明の目的は、入力クロック信号のデューティー（duty）エラーをマルチ位相信号発生器を利用して補正させることにより、クロックの立ち上がり及び立ち下りの両エッジでデータを取り交わすことができるデューティーサイクル補正回路を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するためになされた本発明によるデューティーサイクル補正回路は、入力クロック信号と基準クロック信号とを受信し、その位相差を比べた位相差検出信号を発生する位相検出部と、前記位相差検出信号を電圧信号に変換させて出力するループフィルタ部と、前記入力クロック信号の遅延量を調節して多数個の位相差を有するクロック信号を発生し、前記電圧信号により1つのクロック信号を選択して出力するマルチ位相信号発生部と、前記入力クロック信号と前記マルチ位相信号発生部から出力されたクロック信号とを受信して論理和することにより、前記入力クロック信号のデューティー（duty）を補正するデューティー補正部とを備えていることを特徴とする。

【0006】また、前記基準クロック信号は、前記入力クロック信号と360°の位相差を有することを特徴とする。また、前記マルチ位相信号発生部は、前記入力クロック信号と前記基準クロック信号との位相が一致すれば、それぞれ90°の位相差を有する4つのクロック信号を発生することを特徴とする。また、前記基準クロック信号は、前記入力クロック信号と720°の位相差を有することを特徴とする。また、前記マルチ位相信号発生部は、前記入力クロック信号と前記基準クロック信号の位相が一致すれば、それぞれ90°の位相差を有する8つのクロック信号を発生することを特徴とする。また、前記マルチ位相信号発生部は、前記電圧信号により前記入力クロック信号から90°の位相差を有する第1のクロック信号を発生する第1の位相信号発生部と、前記電圧信号により前記第1のクロック信号の遅延を調節し、前記入力クロック信号と180°の位相差を有する第2のクロック信号を発生する第2の位相信号発生部と、前記電圧信号により前記第2のクロック信号の遅延を調節し、前記入力クロック信号と270°の位相差を有する第3のクロック信号を発生する第3の位相信号発生部と、前記電圧信号により前記第3のクロック信号の遅延を調節し、前記入力クロック信号と360°の位相を有するクロック信号を発生する第4の位相信号発生部

とを備えていることを特徴とする。

【0007】また、前記デューティー補正部は、前記マルチ位相信号発生部からのクロック信号を自らのクロック入力信号として受信し、自らの出力信号を入力信号として受信して、前記クロック信号の2分周された信号を発生する第1の分周部と、前記入力クロック信号をクロック入力信号として受信し、自らの出力信号を入力信号として受信して、前記入力クロック信号の2分周された信号を発生する第2の分周部と、前記第1の分周部と前記第2の分周部とでそれぞれ2分周された2つの信号を受信し、排他的論理和演算された信号を発生する論理演算部とを備えていることを特徴とする。また、前記第1の分周部は、第1のD-フリップフロップと、前記第1のD-フリップフロップの出力信号を受信して反転された信号を出力する第1のインバータとで構成されていることを特徴とする。また、前記第2の分周部は、第2のD-フリップフロップと、前記第2のD-フリップフロップの出力信号を受信して反転された信号を出力する第2のインバータとで構成されていることを特徴とする。また、前記論理演算部は、排他的ORゲートで構成されていることを特徴とする。

【0008】

【発明の実施の形態】次に、本発明にかかるデューティーサイクル補正回路の実施の形態の具体例を図面を参照しながら説明する。図1は、本発明の一実施例に係るデューティーサイクル補正回路を示す構成図である。位相検出部11、ループフィルタ部12、マルチ位相信号発生部13、デューティー補正部14を備えている。

【0009】位相検出部11は、0°の位相を有する入力クロック信号INCLKと、入力クロック信号INCLKと360°の位相差を有する基準クロック信号FBCLKとを受信し、これらの2つの信号の位相差を比べたアップ（UP）／ダウン（DOWN）信号を発生する。ループフィルタ部12は、位相検出部11から出力されたアップ（UP）／ダウン（DOWN）信号を受信し、アップ（UP）／ダウン（DOWN）信号の位相差を電圧信号V_cに変換して出力する。マルチ位相信号発生部13は、ループフィルタ部12から出力された電圧信号V_cにより入力クロック信号INCLKからそれぞれ90°の位相差を有する4つのクロック信号を発生する第1～第4の位相信号発生部（13_1～13_4）を備えている。そして、マルチ位相信号発生部13は、0°の位相を有する入力クロック信号INCLKと、入力クロック信号INCLKと360°の位相差を有する基準クロック信号FBCLKとの位相差により90°の位相差を有する4つの入力クロック信号ICの中で1つを選択して出力する。

【0010】ここで、第1の位相信号発生部13_1は、電圧信号V_cにより0°の位相を有する入力クロック信号INCLKから90°の位相差を有するクロック

信号を発生する。そして、第2の位相信号発生部13_2は、電圧信号V_cにより第1の位相信号発生部13_1で発生したクロック信号の遅延を調節し、入力クロック信号INCLKと180°の位相差を有するクロック信号を発生する。なお、第3の位相信号発生部13_3は、電圧信号V_cにより第2の位相信号発生部13_2で発生したクロック信号の遅延を調節し、入力クロック信号INCLKと270°の位相差を有するクロック信号を発生する。さらに、第4の位相信号発生部13_4は、電圧信号V_cにより第3の位相信号発生部13_3で発生したクロック信号の遅延を調節し、入力クロック信号INCLKと360°の位相差を有するクロック信号を発生する。

【0011】したがって、マルチ位相信号発生部13は、0°の位相を有する入力クロック信号INCLKと、入力クロック信号INCLKと360°の位相差を有するクロック信号FBCLKとの位相が一致すれば、第1～第4の位相信号発生部(13_1～4)で構成されているため4つのクロック信号(90°、180°、270°、360°)を発生する。このとき、マルチ位相信号発生部13は、入力クロック信号INCLKのデューティ比により4つのクロック信号(90°、180°、270°、360°)の中より1つを選択して出力する。

【0012】デューティ補正部14は、位相が0°である入力クロック信号INCLKとマルチ位相信号発生部13から出力されたクロック信号とを受信し、入力クロック信号INCLKのデューティが補正された信号d_{cc}を発生する。このためデューティ補正部14は、マルチ位相信号発生部13から出力されたクロック信号180°CLKを自らのクロック信号CLKに受信して自らの出力信号Q₁を入力信号Dに受信し、クロック信号180°CLKの2分周された信号Q₁を発生する第1の分周部14_1と、位相が0°である入力クロック信号INCLKをクロック信号に受信して自らの出力信号Q₂を入力信号Dに受信し、入力クロック信号INCLKの2分周された信号を発生する第2の分周部14_2と、第1の分周部14_1と第2の分周部14_2でそれぞれ2分周された2つの信号Q₁、Q₂を受信し、排他的論理和演算された信号d_{cc}を発生する排他的ORゲート部15を備えている。

【0013】ここで、第1の分周部14_1は、D-フリップフロップ14_1_1とD-フリップフロップ14_1_1の出力信号Qを受信して反転された信号Q₁を出力するインバータ14_1_2で構成されている。そして、第2の分周部14_2は、D-フリップフロップ14_2_1とD-フリップフロップ14_2_1の出力信号Qを受信して反転された信号Q₂を出力するインバータ14_2_2で構成されている。

【0014】排他的ORゲート部15は排他的ORゲ-

ートEX-ORで構成され、第1の分周部14_1及び第2の分周部14_2でそれぞれ2分周された2つの信号を受信して排他的OR論理演算された信号d_{cc}を発生する。このとき、排他的ORゲート部15から出力された信号d_{cc}は、入力クロック信号INCLKのデューティが異なってもデューティが補正された信号である。

【0015】次に、本発明のデューティサイクル補正回路の動作を、図1と、図2の波形図を参照してより詳しく説明する。位相検出部11では位相が0°である入力クロック信号INCLKと、この入力クロック信号INCLKと360°の位相差を有する基準クロック信号FBCLKの位相を比べ、その位相差を表わすアップ/ダウン信号(up/down)を発生する。次に、ループフィルタ部12では位相検出部11で発生したアップ/ダウン信号(up/down)を受信し、電圧信号V_cに変換して出力する。

【0016】次に、マルチ位相信号発生部13は、ループフィルタ部12から出力された電圧信号V_cと入力クロック信号INCLKとを受信し、電圧信号V_cに応じて入力クロック信号INCLKと90°の位相差を有する4つのクロック信号90°CLK、180°CLK、270°CLK、360°CLKの中より1つを選択して出力する。このとき、電圧信号V_cに応じて選択された1つのクロック信号は、入力クロック信号INCLKのデューティにより決定される。図1では入力クロック信号INCLKのデューティが40:60である場合、入力クロック信号INCLKと半周期(180°)の位相差を有するクロック信号180°CLKを用いて入力クロック信号INCLKのデューティを補正した。このとき、0°の位相を有する入力クロック信号0°CLKと半周期(180°)の位相差を有するクロック信号180°CLKは、図2に示したタイミング通りである。

【0017】デューティ補正部14は、入力クロック信号INCLKのデューティを補正する回路である。このためデューティ補正部14は、入力クロック信号INCLKとマルチ位相信号発生部13から出力されたクロック信号180°CLKとを受信してそれぞれ2分周された信号を発生し、この2分周された信号を排他的OR論理演算することにより入力クロック信号INCLKのデューティを50:50に補正した。

【0018】したがって、本発明に係るデューティサイクル補正回路は、入力クロック信号INCLKのデューティに従ってマルチ位相信号発生部13で発生する入力クロック信号INCLKと異なる位相差を有する1つのクロック信号を選択的に出力し、入力クロック信号INCLKと論理和演算することにより入力クロック信号INCLKのデューティを補正することができる。

【0019】本発明では、入力クロック信号INCLK

と 360° の位相差を有する基準クロック信号FBCLKを用いて入力クロック信号INCLKのデューティを検出した。しかし、本発明の他の実施例として入力クロック信号INCLKと位相差が異なる基準クロック信号FBCLKを用いて入力クロック信号INCLKのデューティを検出することにより、入力クロック信号INCLKのデューティを補正させることもできる。

【0020】尚、本発明は、上述の実施例に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【0021】

【発明の効果】上述のように、本発明に係るデューティサイクル補正回路によれば、入力クロック信号のデューティエラーをマルチ位相発生部で発生したクロック信号を用いて補正させることにより、クロック信号の立ち上がり及び立ち下りの両エッジでデータを取り交わすことができる。さらに、DRAMだけでなく各種の位相差を利用する電子回路においてデータの伝送率を倍加させる効果がある。

【図面の簡単な説明】

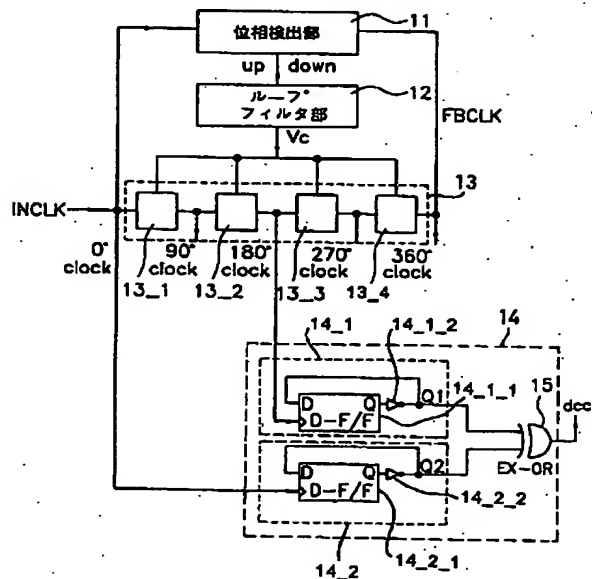
【図1】本発明によるデューティサイクル補正回路の回路図である。

【図2】本発明によるデューティサイクル補正回路の動作タイミング図である。

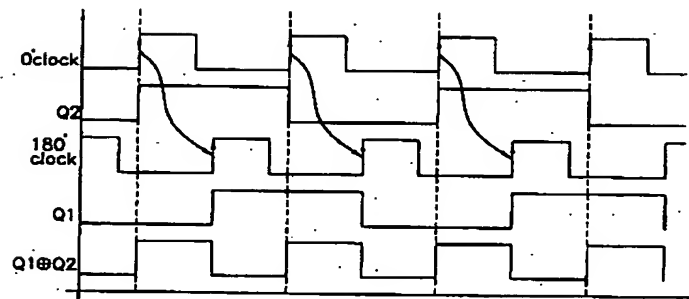
【符号の説明】

- 11 位相検出部
- 12 ループフィルタ部
- 13 マルチ位相信号発生部
- 13_1～13_4 第1～第4の位相信号発生部
- 14 デューティ補正部
- 14_1 第1の分周部
- 14_1_1 D-フリップフロップ部
- 14_1_2 インバータ
- 14_2 第2の分周部
- 14_2_1 D-フリップフロップ部
- 14_2_2 インバータ
- 15 排他的ORゲート部

【図1】



【図2】



フロントページの続き

Fターム(参考) 5J001 BB00 BB05 BB12 BB13 BB24
 DD06
 5J043 AA23 BB04 DD05 DD07 EE01
 5J106 AA04 CC21 CC41 CC59 DD24
 DD42 DD43 KK01
 5M024 AA40 AA49 BB27 BB30 BB33
 BB34 DD83 JJ03 JJ34 JJ35
 JJ38 PP01 PP02 PP07